

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ H01L 27/08	(45) 공고일자 1999년07월 15일
	(11) 등록번호 10-0210213
	(24) 등록일자 1999년04월23일
(21) 출원번호 10-1996-0052598	(65) 공개번호 특1997-0072395
(22) 출원일자 1996년11월07일	(43) 공개일자 1997년11월07일
(30) 우선권주장 96-092240 1996년04월15일 일본(JP)	
(73) 특허권자 미쓰비시덴키 가부시키가이샤	다니구찌 이찌로오, 기타오카 다카시
(72) 발명자 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고 데라시마 도미히데	일본국 도쿄도 지요다구 마루노우치 2초메 2방 3고 미쯔비시 덴 끼 가부시 끼가이샤 내 시미즈 가즈히로
(74) 대리인 구영창, 장수길	일본국 도쿄도 지요다구 마루노우치 2초메 2방 3고 미쯔비시 덴 끼 가부시 끼가이샤 내

심사관 : 민병준

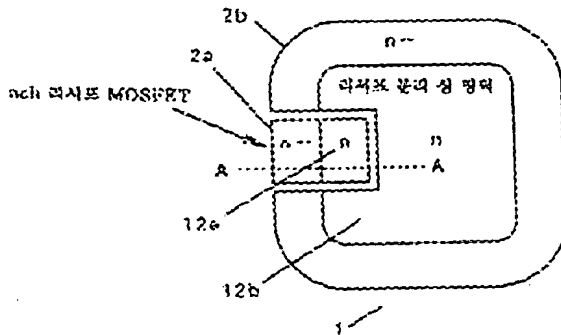
(54) 반도체 장치

요약

작은 면적의 고내압 분리 영역을 구비하고, 또한 프로세스 비용의 상승을 발생하지 않는 고내압 반도체 장치를 얻는다.

n 확산 영역의 외주를 n- 확산 영역으로 둘러싼 리서프 구조에서, 그 n 확산 영역과 n- 확산 영역의 연속된 영역의 한 구역을 분할하여 p- 기판의 미세 영역을 개재시킴과 동시에, 거기에 리서프 MOSFET를 형성한다. 분할된 n 확산 영역 사이에 알루미늄 배선을 설치하여, 신호의 레벨 시프트를 행한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 실시 형태 1의 반도체 장치의 반도체 영역의 평면도.

제2도는 본 발명의 실시 형태 1의 반도체 장치의 부분 단면 구조도.

제3도는 본 발명의 실시 형태 1의 반도체 장치의 동작을 설명하기 위한 부분 단면 구조도.

제4도는 본 발명의 실시 형태 1의 반도체 장치의 동작을 설명하기 위한 부분 단면한 사시도.

제5도는 본 발명의 실시 형태 1의 반도체 장치의 동작을 설명하기 위한 시뮬레이션 결과를 도시하는 도

면.

제6도는 본 발명의 실시 형태 2의 반도체 장치의 반도체 영역의 평면도.

제7도는 본 발명의 실시 형태 3의 반도체 장치의 반도체 영역의 평면도.

제8도는 본 발명의 실시 형태 4의 반도체 장치의 반도체 영역의 평면도.

제9도는 본 발명의 실시 형태 5의 반도체 장치의 부분 단면 구조도.

제10도는 본 발명의 실시 형태 5의 반도체 장치의 동작을 설명하기 위한 부분 단면 확대도.

제11도는 본 발명의 실시 형태 5의 반도체 장치의 동작을 설명하기 위한 전기력선도.

제12도는 종래의 반도체 장치의 구조 예를 도시하는 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------|----------------------|
| 1 : 반도체 기판(p-기판) | 2a : 제1 영역(n- 확산 영역) |
| 2b : 제4 영역(n- 확산 영역) | 7 : 절연층(산화막) |
| 7a : 절연막(산화막) | 8 : 도전로(알루미늄 배선) |
| 12a : 제2 영역(n 확산 영역) | 12b : 제3 영역(n 확산 영역) |
| 13 : 필드 플레이트(폴리실리콘) | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고내압 분리 영역을 갖는 고내압 반도체 장치에 관한 것이다.

고내압 분리 영역을 갖는 고내압 반도체 장치에 대해서는 종래 리서프(RESURF) 구조를 이용한 것이 알려져 있다(예를 들면, USP4292642 참조). 제12도에서, 종래의 고내압 리서프 구조를 사용한 레벨 시프트 기능을 갖는 반도체 장치의 구조 단면도를 도시한다. 이 도면에 도시하는 바와 같이, 이 반도체 장치는 도시 좌측의 n ch-리서프 MOSFET와 도시 우측의 리서프 분리 성 영역으로 이루어져 있고, p-기판(1), n-에피택셜층(2), p-기판(1)에 도달하도록 형성된 p 확산 영역(3), n+ 매립 확산 영역(4), n 확산 영역(5), p 확산 영역(6), 산화막(7), 알루미늄 배선(8), 폴리실리콘 게이트(9), 알루미늄 전극(10) 및 폴리실리콘(11)을 구비하고 있다. 알루미늄 전극(10)은 n 확산 영역(5)와 p 확산 영역(6)에 접해 형성되고, 리서프 분리성의 위치와 동 위치로 되어 있다. 폴리실리콘(11)은 P 확산 영역(3)과 동 전위로 필드 플레이트로서 기능한다. 또, n 확산 영역(5)와 n+ 매립 확산 영역(4)는 p 확산 영역(3)에 각각 둘러싸여 있는 형으로 리서프 구조를 구성하고 있다.

이와 같이 구성된 반도체 장치에서, 게이트 전극(9)를 +바이어스함으로써, n ch MOSFET가 온 상태가 되고, p 확산 영역(6)에 흐르는 전류에 의해 전극(10)과 알루미늄 배선(8)에 전위차가 발생한다. 이 전위차를 출력함으로써, 게이트(9)에 인가된 로직 신호를 고전위 측으로 레벨 시프트할 수 있다.

이와 같은 종래의 고내압 반도체 장치의 구조에서의 문제점은 고전위의 알루미늄 배선(8)이 기판 전위인 P 확산 영역(3) 위를 가로지르기 때문에, n- 에피택셜층(2)와 p 확산 영역(3) 사이의 공핍층의 연장이 방해되어, 내압이 저하하는 것이다.

이 문제에 대해서는 제12도에 도시하는 바와 같이 전술한 Pn 접합 위에 폴리실리콘등으로 필드 플레이트(11)을 형성하고 공핍층의 연장을 확보하는 것, 또는 필드 플레이트를 플로팅으로 다중으로 형성하고 용량 결합으로 표면 전계를 안정화시키는 것(예를 들면, USP5455439 참조) 등의 방법으로 대책되어 있었지만, 고내압화됨에 따라 필드 플레이트(11)과 알루미늄 배선(8) 사이의 산화막 자체의 절연 강도를 확보하기 위해 산화막 두께를 상당히 두껍게 할 필요가 발생하여 프로세스 비용이 상승한다는 문제가 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 이와 같은 종래의 문제점을 해결하기 위해 이루어진 것으로, 프로세스 비용의 상승을 발생하지 않고, 또 필요한 연적을 작게 해서 고내압 분리를 실현하는 고내압 반도체 장치를 제공하고자 하는 것이다.

본 발명의 반도체 장치는 제1 도전형(적합하게는, p-형)의 반도체 기판과, 이 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형(적합하게는, n-형)의 제1 영역과, 상기 반도체 기판(1)의 주면에 상기 제1 영역에 접해 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 제2 영역과, 상기 반도체 기판의 주면에 상기 제2 영역 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 제3 영역과, 상기 반도체 기판의 주면에 상기 제3 영역과 접하고 상기 제1 영역 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 높은 제2 도전형(적합하게는, n-형)의 제4 영역과, 상기 반도체 기판의 주면 사이에 절연층을 통해 형성되어 상기 제2 영역과 상기 제3 영역을 연결하는 도전로(8)를 구비한 것을 특징으로 하는 것이다.

또, 본 발명의 다른 발명의 반도체 장치는 제1 도전형(적합하게는, p-형)의 반도체 기판과, 이 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형(적합하게는, n-형)의 복수의 제1 영

역과, 상기 반도체 기판의 주면에 상기 복수의 제1 영역에 각각 접해 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 복수의 제2 영역과, 상기 반도체 기판의 주면에 상기 복수의 제2 영역 사이에 각각 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 제3 영역과, 상기 반도체 기판의 주면에 상기 제3 영역과 접하고, 또한 상기 복수의 제1 영역 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 옅은 제2 도전형(적합하게는, n-형)의 제4 영역과, 상기 반도체 기판의 주면 사이에 절연층을 통해 형성되어 상기 복수의 제2 영역과 상기 제3 영역 사이를 각각 연결하는 복수의 도전로(8)를 구비한 것을 특징으로 하는 것이다.

또, 본 발명의 다른 발명의 반도체 장치는 제1 도전형(적합하게는, p-형)의 반도체 기판과, 이 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 옅은 제2 도전형(적합하게는, n-형)의 복수의 제1 영역과, 상기 반도체 기판(1)의 주면에 상기 복수의 제1 영역에 각각 접해 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 복수의 제2 영역과, 상기 반도체 기판의 주면에 상기 복수의 제2 영역 사이에 끼워진 부분을 갖고 또한 상기 복수의 제2 영역 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 제3 영역과, 상기 반도체 기판의 주면에 상기 제3 영역과 접하고 상기 복수의 제1 영역 사이에 끼워진 부분을 갖고 또한 상기 복수의 제1 영역 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 옅은 제2 도전형(적합하게는, n-형)의 제4 영역과, 상기 반도체 기판의 주면 사이에 절연층을 통해 형성되어 상기 복수의 제2 영역과 상기 제3 영역 사이를 각각 연결하는 복수의 도전로를 구비한 것을 특징으로 하는 것이다.

또, 상기 발명은 상기 제2 영역과 상기 제3 영역을 포함하는 영역의 외주를 상기 제1 영역과 상기 제4 영역을 포함하는 영역에 의해 포위하도록 형성한 것을 포함하는 것이다.

또, 본 발명의 다른 발명의 반도체 장치는 제1 도전형(적합하게는, p-형)의 반도체 기판과, 이 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 옅은 제2 도전형(적합하게는, n-형)의 고리 형상의 제1 영역과, 상기 반도체 기판의 주면에 상기 제1 영역 내측에 접해 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 고리 형상의 제2 영역과, 상기 반도체 기판의 주면에 상기 제2 영역의 내측 사이에 소정의 간격을 두어 형성되고 상대적으로 불순물 농도가 진한 제2 도전형(적합하게는, n형)의 고리 형상의 제3 영역과, 상기 반도체 기판의 주면 사이에 절연층을 끼우고 상기 제2 영역과 상기 제3 영역 사이에 형성된 도전로를 구비한 것을 특징으로 하는 것이다.

또, 상기 발명은 다음과 같이 한 것을 포함한 것이다. 즉, 본 발명의 반도체 장치는 상술한 각 발명에서 상기 제2 영역 및 상기 제3 영역과 상기 반도체 기판 사이에 각각 형성되는 pn 접합이 임계 전압에 도달하기 이전에 상기 pn 접합의 공핍층이 연장하여 서로 접하도록 형성한 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 제2 영역 및 상기 제3 영역과 상기 반도체 기판 사이에 각각 형성되는 pn 접합의 주변 코너부의 전기력선의 밀도가 이 pn 접합의 평면부의 전기력선의 밀도 이하가 되도록 형성한 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 제2 영역과 상기 제3 영역 사이의 상기 반도체 기판의 주면의 폭이 제2 영역의 확산 깊이의 1.14배 이하가 되도록 형성한 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 제2 영역과 상기 제3 영역 사이의 펀치 스루 전압이 상기 제3 영역에 형성되는 제어 회로의 전원 전압보다 크게 되도록 형성한 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 반도체 기판의 주면과 상기 도전로 사이의 상기 절연층에 상기 제2 영역 및 상기 제3 영역위까지 연장하는 필드 플레이트를 배치한 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 필드 플레이트와 상기 제3 영역 사이의 절연막과 상기 제3 영역에 의한 내압이 상기 제3 영역에 형성되는 제어 회로의 전원 전압보다 크게 되도록 상기 절연막의 두께와 상기 제3 영역의 불순물 농도를 조정하는 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 필드 플레이트와 상기 제3 영역 사이의 절연막의 계면 전계가 임계 전압에 도달하지 않도록 상기 제3 영역의 불순물 농도를 조정하는 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 절연막층과 상기 제3 영역에 의한 내압이 상기 제3 영역에 형성되는 제어 회로의 전원 전압보다 크게 되도록 상기 절연층과 상기 제3 영역의 불순물 농도를 조정하는 것을 특징으로 하는 것을 포함한다.

또, 본 발명의 반도체 장치는 상술한 각 발명에서, 상기 절연층의 계면 전계가 임계 전계에 도달하지 않도록 상기 제3 영역의 불순물 농도를 조정하는 것을 특징으로 하는 것을 포함한다.

발명의 구성 및 작용

[실시 형태 1]

제1도는 본 발명의 실시 형태 1의 레벨 시프트 구조를 갖는 반도체 장치의 반도체 영역을 도시하는 평면도이다. 또, 제2도는 제1도의 평면에서 단면 A-A에서의 구조를 도시하는 단면도이다.

먼저, 제1도의 평면도에 도시하는 바와 같이, 본 발명의 반도체 장치는 n 확산 영역(12a, 12b)가 n- 확산 영역(2a, 2b)에 둘러싸여지는 형으로 리서프(RESURF) 구조를 구성하고 있지만, 일부에 슬릿이 설치되어 분할된 형으로 되어 있다. 또, 도2의 단면도에 도시하는 바와 같이, 이 반도체 장치는 도시 좌반분의 n ch 리서프 MOSFET 영역과 도시 우반분의 리서프 분리 성 영역으로 이루어져 있고, p- 실리콘 기판(1 :

반도체 기판), n- 확산 영역(2a : 제1 영역), n 확산 영역(5), p 확산 영역(6), 산화막(7 : 절연층), 알루미늄 배선(도전로 : 8), 폴리실리콘 게이트(9), 알루미늄 전극(10), n 확산 영역(12a : 제2 영역), n 확산 영역(12b : 제3 영역)을 구비하고 있다. 또, 제1도의 n- 확산 영역(2b : 제4 영역)은 제2도에는 나타나 있지 않지만, n- 확산 영역(2a)와 동일 형으로 n 확산 영역(12b)의 주변에 형성되어 있다. 또, 알루미늄 전극(10)은 n 확산 영역(7)과 P 확산 영역(6)에 접해 형성되어 리서프 분리성의 전위와 동 전위로 되어 있다.

이와 같이 구성된 반도체 장치에서, 게이트 전극(9)를 + 바이어스함으로써 n ch MOSFET가 온 상태가 되고, p 확산 영역(6)에 흐르는 전류에 의해 전극(10)과 알루미늄 배선(8)에 전위차가 발생한다. 이 전위차를 출력함으로써, 게이트(9)에 인가된 신호를 고전위측으로 레벨 시프트할 수 있다.

본 발명의 구조가 종래의 구조와 다른 점은 n ch 리서프 MOSFET의 드레인 [제2도의 n- 확산 영역(2a)]와 리서프 분리 성 영역(12b) 사이에 리서프 구조가 없고, 폭이 좁은 p- 기판 영역(1)이 슬릿 형상의 영역(1a)로서 표면에 노출하는 형으로 되어 있는 것이다.

이 구조에서 n 확산 영역(12b)가 고 전위인 경우의 등전위선을 제3도에 도시한다.

제3도에 도시하는 바와 같이 n 확산 영역(12a, 12b)에 끼워진 p- 기판(1a)는 공지화해버리기 때문에, p- 기판(1a)의 표면 전위는 n 확산 영역(12a, 12b)와 큰 차가 발생하지 않는다. 따라서, 알루미늄 배선(8)과 그 아래의 기판 실리콘(1)의 표면 사이의 전위차는 작아 종래 예에서 문제가 된 전계 집중도 발생하지 않는다.

또, 레벨 시프트시의 신호는 전극(10)과 알루미늄 배선(8) 사이의 전위차로서 출력되지만, 이것은 n 확산 영역(12a와 12b) 사이[n ch MOSFET의 드레인으로서 n 확산 영역(12a)와 리서프 분리 성 영역(12b) 사이]의 전위차와 동일하다. 따라서, n 확산 영역(12a와 12b) 사이의 펀치 스루 전압은 출력 전압보다도 크게 할 필요가 있다. 일반적으로 말하면, 출력 전압은 리서프 분리 성 영역에 내장된 저내압의 제어 회로 등에서 검출되기 때문에, 출력 전압은 제어 회로의 전원 전압 이하가 되도록 설계된다.

이상의 것으로부터 p- 기판(1)의 표면 노출 영역(13)는 리서프 내압을 저하시키지 않을 정도의 공지화가 일어나고, 또한 n 확산 영역(12a, 12b) 사이의 펀치 스루 전압을 제어 회로 전원 전압 이상이 되도록 한 농도와 거리로 할 필요가 있다.

이것을 해석적으로 검토해 본다. 제4는 이 해석을 하기 위해 n 확산 영역(12a와 12b)의 코너부를 단순화하여 모식적으로 도시한 도면이다. 제4도에 도시하는 바와 같이, n 확산 영역(12a)의 패턴 코너 반경을 R, n 확산 영역(12a, 12b)의 확산 길이와 횡 확산 길이를 r이라 한다.

먼저, 리서프 내압에 영향을 미치지 않기 위한 필요 조건은 양측의 n 확산 영역(12a, 12b)로부터 연장하는 공핍층이 중앙에서 접할 때에 Pn 접합 전계가 임계전압에 도달하지 않는 것이다. 코너 부분의 Pn 접합의 전계에 대해, 이 조건은 식 1의 형으로 표현된다. 단, 실제의 n 확산 영역(12a, 12b)로부터의 공핍층의 연장폭은 코너 인사이드(12a)측과 아웃사이드(12b)측에서 다르지만 거의 동일하다고 가정했다.

$$E_{cr} > E_f = L \cdot q \cdot N_p / (\epsilon \cdot \epsilon') \times$$

$$\{ (L \cdot L/3 + r \cdot L + \pi \cdot R^2 / 4) / (\pi \cdot R/2 + r) \cdot r + 1 \} \quad \dots \text{식(1)}$$

여기에서,

E_{cr} : 임계 전계(약 2.5E5(V/cm))

E_f : 공핍층이 중앙에서 접할 때의 pn 접합 전계

q : 전자의 전하량

N_p : p- 기판(1)의 표면 근방에서의 불순물 농도

π : 원周的 유효율

ϵ' : 실리콘의 비유전율

이다.

R r인 경우는 이하의 식에 근사된다.

$$E_{cr} > E_f = L \cdot q \cdot N_p / (\epsilon \cdot \epsilon') \cdot (L / (2 \cdot r) + 1) \quad \dots \text{식(2)}$$

따라서, 이들 식1 또는 2를 만족하도록 패턴 코너 반경(R), n 확산 영역(12a, 12b)의 확산 길이(r) 및

p- 기판(1)의 표면 근방에서의 불순물 농도(Np)를 조정한다.

다음에, 제4도의 구조를 취한 경우, p- 기판(1)과 n 확산 영역(12a, 12b) 사이의 일차원 내압에 대해 일반적으로 내압 저하가 발생한다. 이것은 n 확산 영역(12a, 12b)의 주변부의 pn 접합 코너부의 단위 면적당 전기력선이 Pn 접합의 평면부의 전기력선보다 크게 되고 pn 접합 부분에서의 전계가 상승하기 때문이다. n 확산 영역(12a)의 패턴 코너 반경 R이 n 확산 영역(12)의 확산 길이 및 횡 확산 길이 r보다 충분히 크게 하면, pn 접합 코너부의 전계는 거의 (pn 접합을 표면에서 본 면적)/(pn 접합의 실제의 면적)에 비례한다고 고려된다. 여기에서, pn 접합의 실제의 면적은 n 확산 영역(12a, 12b)의 pn 접합 코너부의 접합 면적의 합이고, pn 접합을 표면에서 본 면적은 n 확산 영역(12a, 12b)의 코너부의 pn 접합을 평면에 투사한 면적과 그 사이의 p- 기판(1a)의 표면 위에서의 면적(폭 2L)의 합을 지시하는 것이라 한다.

따라서, 이 값을 1 이하, 즉 pn 접합 코너부의 전계를 pn 접합의 평면 부분의 전계의 값 이하가 되도록 설계하면 좋게 된다. 이 조건은 다음 식3으로 표현된다.

$$1 \geq ((r+L) \cdot (r+L) + 2R \cdot (r+L)) / (L \cdot \pi \cdot (R/2 + r)) \quad \dots \text{식(3)}$$

여기에서, R인 경우는

$$1 \geq \pi \cdot (r+L) / (\pi \cdot r) \quad \dots \text{식(4)}$$

따라서,

$$2L \leq (\pi - 2) \cdot r \quad \dots \text{식(5)}$$

로 되고, p- 기판(1)의 표면 위에서의 폭[슬릿 형상의 p- 기판(1a)의 폭(2L)은 n 확산 영역(12a, 12b)의 확산 길이(r)의 (n-2) 정도 이하로 해야 할 것이 명백하다.

이 결과를 R r로서 2차원 시뮬레이션으로 확인한 결과를 제5도에 도시한다. 이 도면에서 명백해지는 바와 같이, p- 기판(1)의 표면 위에서의 폭 2L이 n 확산 영역(12)의 확산 길이(r)의 (a-2) 정도보다 크게 되면, pn 접합 코너부의 내압은 일차원 내압의 80 %로 만족하지 않게 된다. 또, L이 충분히 큰 경우(2L = ∞) 일차원 내압의 43 %까지 내압이 저하하는 것을 알 수 있다.

다음에, 공핍층이 2L 연장한 때의 n 확산 영역(12a, 12b) 사이의 펀치 스루전압 V는 전술한 의논에 의해 리서프 분리 성 영역에서 제어 회로의 전원 전압 Vc 보다 크게 될 필요가 있다. 이것을 일차원 단계 접합에서 근사하면, 이하의 식으로 표현된다.

$$V_c < V = 2L \cdot L \cdot q \cdot N_p / (\epsilon \cdot \epsilon' \cdot (1 + N_p / N_n)) \quad \dots \text{식(6)}$$

여기에서,

q : 전자의 전하량

Nn : n 확산 영역(12a, 12b)의 pn 접합 근방에서의 불순물 농도

Np : p- 기판(1)의 표면 근방에서의 불순물 농도

ε : 전계의 유전율

ε' : 절연체의 비유전율

이다.

따라서, 이 식6을 만족하도록, p- 기판(1a)부의 폭(2L), p- 기판(1a)의 표면근방에서의 불순물 농도(Np) 및 n 확산 영역(12a, 12b)와 pn 접합 근방에서의 불순물 농도(Nn)을 조정한다.

제5도에 펀치 스루 전압의 시뮬레이션 결과를 병기하고 있다. p- 기판(1)의 표면 위에서의 폭[2L이 n 확산 영역(12a, 12b)의 확산 길이(r)의 (π-2)배에서, 펀치 스루 전압은 50 V까지 상승하고 있고, 일반적인 제어 회로 전원 전압보다 충분히 큰 값이 얻어지고 있다. 따라서, 이 값에서도 간극부의 p- 기판(1a)의 폭 2L은 n 확산 길이(r)의 (π-2)배 이하, 즉 n 확산 길이의 1.14배 이하로 설계해야 함을 알 수 있다.

이상 기술한 바와 같은 이 실시 형태의 반도체 장치의 구조에 의하면, 레벨 시프트 소자로서 n- 확산 영역(2a)를 리서프 분리 성 영역(12b)의 편향측에만 형성함으로써, 레벨 시프트를 실현할 수 있다. 따라

서, 디바이스 면적을 대폭 삭감할 수 있다. 또, 프로세스를 변경할 필요도 없기 때문에, 프로세스 비용의 상승도 없다.

[실시 형태 2]

제6도는 본 발명의 실시 형태 2의 반도체 장치에 대해, 그 반도체 영역의 배치상태를 도시하는 평면도이다. 제6도에서 단면 A-A의 구조는 제2도와 마찬가지로이기 때문에, 도시 설명을 생략한다. 이 실시 형태 2의 반도체 장치는 도 6의 평면도에 도시하는 바와 같이, p-실리콘 기판(1 : 반도체 기판)에 n- 확산 영역(2a : 제1 영역)이 분리하여 2개, 소정 간격을 두고 형성되어 이것에 접해 각각 n 확산 영역(제2 영역 : 12a)가 2개 형성되어 소정 간격을 두고 대향하고 있다. 또, 이 2개의 n 확산 영역(제2 영역 : 12a)와 소정 간격을 두고, n 확산 영역(제3 영역 : 12b)가 형성되어 있다. 그리고, n 확산 영역(12b)의 주연에 n- 확산 영역(제4 영역 : 2b)가 형성되고, n- 확산 영역(2a : 제1 영역)은 소정 간격을 두고 대향하고 있는 구성으로 되어 있다. 도면 중, 제1도 및 2와 동일 부호는 동일 또는 상당 부분을 도시한다.

이 실시 형태 2의 구조는 n 리서프 분리 성으로부터 동일 위치에서 서로 이웃하는 복수의 소구역을 분할하여 서로 간격을 둔 것이다 그리고, 이들 2개의 n 확산 영역(제2 영역 : 12a)와 n 확산 영역(제3 영역 : 12b)를 포함한 영역은 그 외주를 n- 확산 영역(2a : 제1 영역)과 n- 확산 영역(제4 영역 : 2b)를 포함하는 영역에 의해 포위되어 있다.

이와 같이, 이 실시 형태 2에서는 n ch 리서프 MOSFET를 2개, 일반적으로는 복수 조립한 것이다. 이와 같이 하면, 1개의 리서프 분리 성 영역에 복수의 레벨 시프트 소자를 접속할 수 있다. 이 점을 달리 하면, 이 반도체 장치의 고전압 분리의 작용, 기능은 제1도 및 제2도의 실시 형태 1의 것과 동일하기 때문에, 상세한 설명은 생략한다. 또, 이와 같은 구성에서도, 리서프 MOSFET는 리서프 분리 성 영역의 한측에만 설치함으로써 충분하기 때문에, 소자 면적의 증가를 억제할 수 있다.

[실시 형태 3]

제7도는 본 발명의 실시 형태 3의 반도체 장치에 대해, 그 반도체 영역의 배치를 도시하는 평면도이다. 제7도에 도시하는 단면 A-A의 구조는 제2도와 마찬가지로이기 때문에, 도시 설명을 생략한다. 이 실시 형태 3의 반도체 장치는 제7도의 평면도에 도시하는 바와 같이, p-실리콘 기판(1 : 반도체 기판)에 n- 확산 영역(2a : 제1 영역)이 분리하여 2개 형성되고, 이것에 접해 각각 n 확산 영역(제2 영역 : 12a)가 2개 형성되어 있다. 이 2개의 n 확산 영역(제2 영역 : 12a)와 소정 간격을 두고, n 확산 영역(제3 영역 : 12b)가 형성되고, 또한 2개의 n 확산 영역(제2 영역 : 12a) 사이에 연장하고 있다. 그리고, n 확산 영역(12b)의 주연에 n- 확산 영역(제4 영역 : 2b)가 형성되고, n- 확산 영역(2a : 제1 영역)은 소정 간격을 두고 대향하고 있다. 또, n- 확산 영역(제4 영역 : 2b)는 2개의 n 확산 영역(제2 영역 : 12a) 사이의 n 확산 영역(제3 영역 : 12b)에 접속하고, 또한 2개의 n- 확산 영역(2a : 제1 영역) 사이에 이들 2개의 n- 확산 영역(2a : 제1 영역)과 소정 간격을 두어 배치되어 있다.

이 실시 형태 3의 반도체 장치는 제1도 및 제2도의 실시 형태 1에 도시한 장치에서 n ch 리서프 MOSFET가 1개의 리서프 분리 성의 다른 위치에서 복수개 형성된다고 볼 수 있다.

이와 같이, 본 실시 형태 3은 n ch 리서프 MOSFET를 복수 조립한 것이다. 실시 형태 2와의 차이는 2개의 n ch 리서프 MOSFET 사이에 리서프 분리 성의 n 확산 영역(12b)에 접해 형성된 n- 확산 영역(2b)가 형성되어 있다. 이와 같이 하면, 1개의 리서프 분리 성 영역에 복수의 레벨 시프트 소자를 접속할 수 있다. 또, 리서프 MOSFET는 리서프 분리 성 영역의 한측에만 설치함으로써 충분하기 때문에, 소자 면적의 증가를 억제할 수 있다. 또, 2개의 n ch 리서프 MOSFET 간의 기생 소자 L-npn(래터럴 트랜지스터 구조) 등에 기인하는 기생 동작을 방지할 수 있다.

또, 제7도의 예에서는 n ch 리서프 MOSFET에 의한 레벨 시프트 기능을 2조 구비하고 있지만, 이것은 필요에 따라 적합하게 복수개 구비할 수 있다.

[실시 형태 4]

제8도는 본 발명의 실시 형태 4에 의한 레벨 시프트 구조를 갖는 반도체 장치에 대해, 그 반도체 영역의 배치를 도시하는 평면도이다. 이 실시 형태 4의 반도체 장치의 제8도에서 단면 A-A의 구조는 제1도와 마찬가지로이기 때문에, 도시 설명을 생략한다.

이 실시 형태 4의 반도체 장치는 제8도의 평면도에 도시하는 바와 같이, p-실리콘 기판(1 : 반도체 기판)에 n- 확산 영역(2a : 제1 영역)이 고리 형상으로 형성되고, 그 내측에 접해 n 확산 영역(제2 영역 : 12a)가 고리 형상으로 형성되어 있다. 또, 이 내측에 소정 폭의 p- 기판(1a)를 끼워 성 형상의 n 확산 영역(12b)를 구비하고 있다.

이와 같이 이 실시 형태 4의 장치는 실시 형태 1과 다르고, n 확산 영역(12a, 12b) 사이의 분리가 고리 형상으로 형성되며, n 확산 영역(2a)의 부분은 분할되지 않은 구조로 되어 있다. 이 점을 달리 하면, 이 실시 형태 4의 장치의 작용, 기능은 제1도에 도시한 것과 동일하기 때문에, 상세한 설명은 생략한다. 제1도 및 제2도에 도시하는 실시 형태 1의 구조에서는 n- 확산 영역(2a, 2b)가 분리됨으로써 내압 저하의 가능성이 있지만, 본 구조에서는 n- 확산 영역(2a)를 분할함으로써 내압 저하의 우려는 없다.

[실시 형태 5]

제9도는 본 발명의 실시 형태 5에 의한 레벨 시프트 구조를 갖는 반도체 장치의 단면 구조를 도시하는 도면이다. 이 실시 형태 5의 반도체 장치의 반도체 영역의 평면 구조는 제1와 마찬가지로이기 때문에, 도시를 생략한다. 제9도는 제1도에서 단면 A-A와 동 위치에서의 단면도를 도시하는 것이다. 이 실시 형태 5의 반도체 장치는 제9도의 단면 구조에 도시하는 바와 같이, p-실리콘 기판(1 : 반도체 기판), n- 확산 영역(2a : 제1 영역), n 확산 영역(5), p 확산 영역(6), 산화막(7 : 절연층), 알루미늄 배선(8 : 도전로), 폴리실리콘 게이트(9), n 확산 영역(5)와 p 확산 영역(6)에 접해 형성되고 성 전위와 동 전위로 되어 있는 알루미늄 전극(10), n 확산 영역(12a : 제2 영역), n 확산 영역(12b : 제3 영역)을 구비하고 있다. 또, 제1도의 n-확산 영역(2b : 제4 영역)은 제9도에는 나타나 있지 않지만, n- 확산 영역(2a)와

동일형으로 n 확산 영역(12b)의 주변에 형성되어 있다. 또, 이것은 제1도의 것과 동일하기 때문에 설명을 생략한다.

또, 이 실시 형태 5에서는 실시 형태 1의 구조에 추가하여 n ch 리서프 MOSFET측의 n 확산 영역(12a)와 동 전위의 폴리실리콘(13)이 산화막(7) 속에 배치되어, 그 아래의 산화막의 부분[이것을 산화막(7a : 절연막)이라 함]을 깨워 p- 기판(1)의 표면에 노출한 부분(1a)를 덮도록 형성되어 있다. 그리고, 이 폴리실리콘(13)은 n 확산 영역(12a, 12b)과 p- 기판(1) 사이에 형성되는 pn 접합을 덮고, 또한 n 확산 영역(12a, 12b)의 부분 위에 연재하고 있다. 이와 같이 형성한 경우, 레벨 시프트 동작시에, n 확산 영역(12a, 12b) 사이, 즉 n ch MOS 드레인의 n 확산 영역(12a)와 리서프 분리 섬의 n 확산 영역(12b) 사이에서의 펀치 스루를 폴리실리콘층(13)에 의한 필드 플레이트 효과로 방지할 수 있다. 단, 리서프 분리 섬 영역측의 n 확산 영역(12b)에서 폴리실리콘(13) 아래의 산화막(7a)의 두께가 얇지 않으면, 폴리실리콘(13) 아래의 Si 표면에서 전계 집중을 일으키고, 역으로 내압 저하할 가능성이 있다.

따라서, 이하의 조건을 만족할 필요가 있다. 먼저, 제10도에서, 폴리실리콘(13)과 리서프 분리 섬 영역측의 n 확산 영역(12b)가 산화막(7a)을 깨워 대향하고 있는 구조를 확대하여 도시한다. 동시에, 전계 분포도 도시하고 있다. 폴리실리콘(13) 아래의 산화막(7a)의 두께를 t, n 확산 영역(12b) 속에 연장한 공핍층의 두께를 d라 한다. 실리콘 산화막(7a)과 n 확산 영역(12b)에 의한 내압은 제어 회로의 전원 전압 Vc보다 크게 되어야 한다. 이것으로부터 식7이 얻어진다.

$$V_c < q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \cdot (\epsilon' \cdot t / \epsilon_{ox} + d/2) \quad \dots \text{식(7)}$$

또, 실리콘 산화막(7a)의 계면에서의 전계가 임계 전압 Ecr' 이하이어야 하기 때문에, 다음 식8이 얻어진다.

$$E_{cr'} > q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \quad \dots \text{식(8)}$$

이들 식에서,

Ecr' : 실리콘 산화막 계면의 임계 전계(약 5E5(V/cm))

q : 전자의 전하량

Nn : n 확산 영역(12b)의 불순물 농도

ε : 진공의 유전율

ε' : 실리콘의 비유전율

εox : 산화막의 비유전율

d : 폴리실리콘(13) 단부 바로 아래의 공핍층 폭

t : 폴리실리콘(13) 단부 바로 아래의 산화막 두께

이다.

실제로는 n 영역(12b)의 불순물 농도(Nn)이 큰 곳까지 필드 플레이트(13)이 연재하여 형성되어 있는 경우가 대부분이기 때문에, 공핍층 d는 상당히 작게 보여 좋다. 따라서, 일반적으로는 식7의 우변 제1항의 값이 제어 전압 Vc보다 크게 되는 것이 바람직하다. 즉,

$$V_c < q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \cdot (\epsilon' \cdot t / \epsilon_{ox})$$

따라서,

$$V_c < q \cdot N_n \cdot d \cdot t / \epsilon \cdot \epsilon_{ox} \quad \dots \text{식(9)}$$

이들 식7 ~ 9를 만족하도록, 폴리실리콘(13) 단부 바로 아래의 산화막 두께(t), n 확산 영역(12b)의 불순물 농도(Nn)을 조정한다.

또, 제11도는 제9도와 같이 폴리실리콘(13)이 p- 기판(1a)를 덮도록 형성한 경우의 전기력선의 상태[제11(a)도]를 폴리실리콘(13)이 없는 경우[제11(b)도]와 비교하여 도시한 도면이다. 제11도에 도시

하는 바와 같이, p- 기판(13)의 표면 영역 위에 폴리실리콘(13)이 있음으로써 일부의 전기력선이 폴리실리콘(13)에 중단하게 되고, pn접합 코너 부분의 전계가 완화된다. 이것에 의해, p- 기판(1)과 n 확산 영역(12b)사이의 내압은 더욱 저하하기 어렵게 된다.

제5도에 필드 플레이트(13)이 있을 때의 내압의 시뮬레이션 결과를 병기하고 있지만, 일차원에 대해 85%가 되고 필드 플레이트 없음에 대해 6%의 내압 개선이 얻어지고 있다. 이 구조에 의하면, 실시 형태 1의 효과에 추가하여, 또 내압과 펀치 스루 전압을 향상시킬 수 있다.

또, 제9도의 장치는 실시 형태 1의 제1도 및 제2도의 장치에 필드 플레이트(13)을 마련한 예이지만, 실시 형태 2 내지 4의 제6도 내지 8의 장치에도 마찬가지로 필드 플레이트를 적용할 수 있다.

또 이상은 산화막(7) 속에 배치된 폴리실리콘(13)과 그 아래의 산화막(7a) 및 n확산 영역(12b)에 대해 내압을 고찰했다. 이 동일 고찰은 실시 형태 1 내지 4에서의 제1도 내지 제8도의 장치에서, 알루미늄 배선(8)과 그 아래의 산화막(7) 및 n 확산 영역(12b)의 내압에 대해서도 적용할 수 있다 즉, 이들 경우도, 식 7 내지 9의 조건이 만족되도록 알루미늄 배선(8) 단부 바로 아래의 산화막 두께(t), n 확산 영역(12b)의 불순물 농도(Nn)가 조정된다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 저내압 영역과 고내압 영역 사이에 고내압 분리 영역을 갖고, 고내압 영역으로의 레벨 시프트 기능을 갖는 반도체 장치에서, 면적이 작고 또한 프로세스 비용을 상승시키지 않는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

제1 도전형의 반도체 기판; 상기 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형의 제1 영역; 상기 반도체 기판의 주면에 상기 제1 영역에 접하여 형성되고 상대적으로 불순물 농도가 진한 제2 도전형의 제2 영역; 상기 반도체 기판의 주면에 상기 제2 영역과의 사이에 소정의 간격을 두고 형성되고 상대적으로 불순물 농도가 진한 제2 도전형의 제3 영역; 상기 반도체 기판의 주면에 상기 제3 영역과의 사이에 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 높은 제2 도전형의 제4 영역; 및 상기 반도체 기판의 주면과의 사이에 절연층을 통해 형성되어 상기 제2 영역과 상기 제3 영역을 연결하는 도전로를 구비한 것을 특징으로 하는 반도체 장치.

청구항 2

제1 도전형의 반도체 기판; 상기 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형의 복수의 제1 영역; 상기 반도체 기판의 주면에 상기 복수의 제1 영역에 각각 접하여 형성되고 상대적으로 불순물 농도가 진한 제2 도전형의 복수의 제2 영역; 상기 반도체 기판의 주면에 상기 복수의 제2 영역과의 사이에 각각 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 진한 제2 도전형의 제3 영역; 상기 반도체 기판의 주면에 상기 제3 영역과 접하고, 또한 상기 복수의 제1 영역과의 사이에 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 높은 제2 도전형의 제4 영역; 및 상기 반도체 기판의 주면과의 사이에 절연층을 통해 형성되고 상기 복수의 제2 영역과 상기 제3 영역과의 사이를 각각 연결하는 복수의 도전로를 구비한 것을 특징으로 하는 반도체 장치.

청구항 3

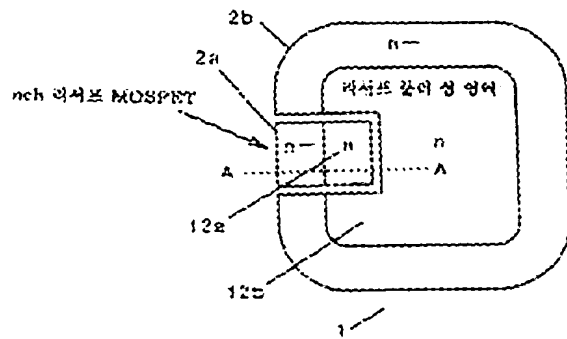
제1 도전형의 반도체 기판; 상기 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형의 복수의 제1 영역; 상기 반도체 기판의 주면에 상기 복수의 제1 영역에 각각 접하여 형성되며 상대적으로 불순물 농도가 진한 제2 도전형의 복수의 제2 영역; 상기 반도체 기판의 주면에 상기 복수의 제2 영역 사이에 끼워진 부분을 갖고 또한 상기 복수의 제2 영역과의 사이에 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 진한 제2 도전형의 제3 영역; 상기 반도체 기판의 주면에 상기 제3 영역과 접하고 상기 복수의 제1 영역과의 사이에 끼워진 부분을 가지며 또한 상기 복수의 제1 영역과의 사이에 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 높은 제2 도전형의 제4 영역; 및 상기 반도체 기판의 주면과의 사이에 절연층을 통해 형성되고 상기 복수의 제2 영역과 상기 제3 영역과의 사이를 각각 연결하는 복수의 도전로를 구비한 것을 특징으로 하는 반도체 장치.

청구항 4

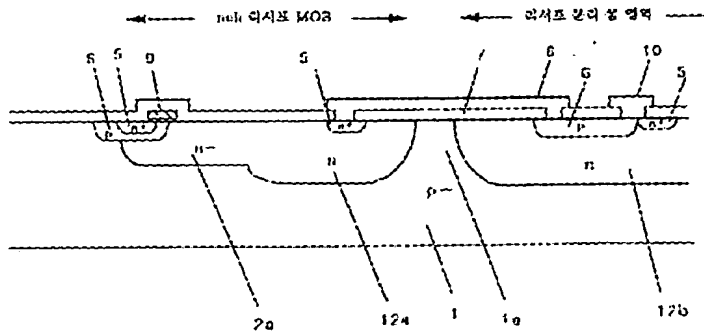
제1 도전형의 반도체 기판; 상기 반도체 기판의 주면에 형성되고 상대적으로 불순물 농도가 높은 제2 도전형의 고리 형상의 제1 영역; 상기 반도체 기판의 주면에 상기 제1 영역의 내측에 접하여 형성되고 상대적으로 불순물 농도가 진한 제2 도전형 고리 형상의 제2 영역; 상기 반도체 기판의 주면에 상기 제2 영역의 내측과의 사이에 소정의 간격을 두고 형성되며 상대적으로 불순물 농도가 진한 제2 도전형의 제3 영역; 및 상기 반도체 기판의 주면과의 사이에 절연층을 끼우고 상기 제2 영역과 상기 제3 영역과의 사이에 형성된 도전로를 구비한 것을 특징으로 하는 반도체 장치.

도면

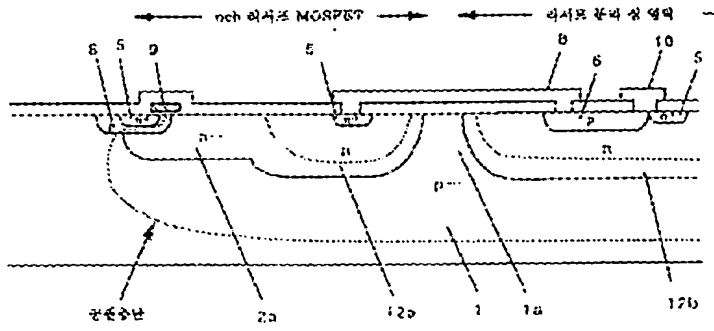
도면1



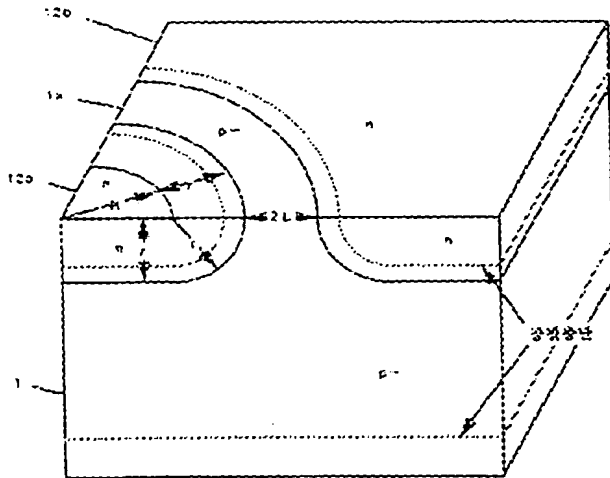
도면2



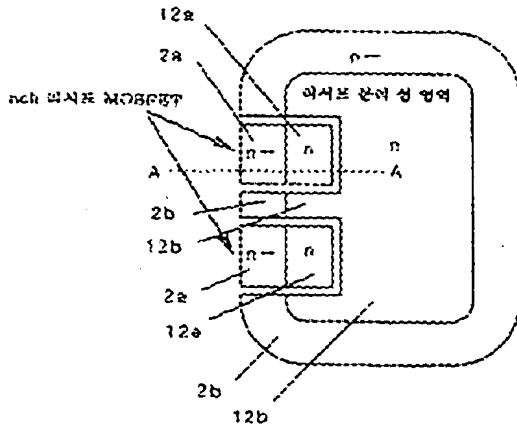
도면3



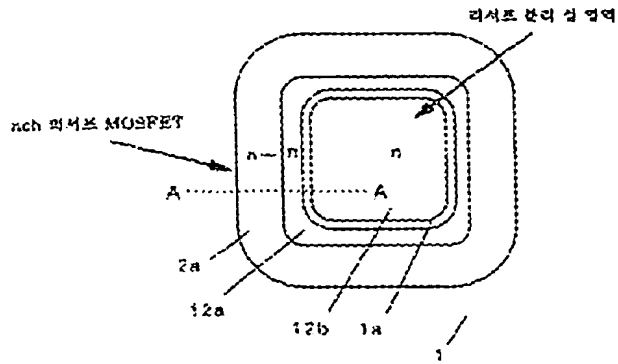
도면4



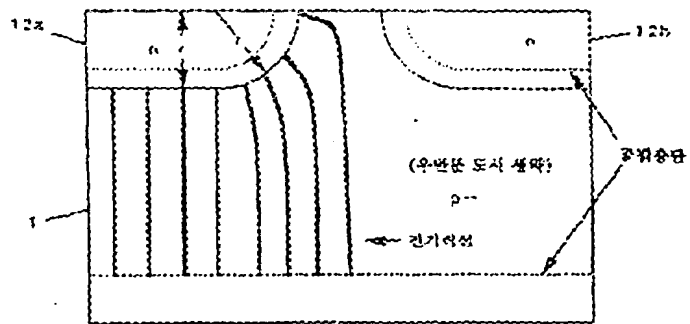
도면7



도면8



도면 11b



도면 12

